

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-056651

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

G06F 1/06  
G11C 19/00  
H03K 3/64

(21)Application number : 05-205021

(71)Applicant : SHARP CORP

(22)Date of filing : 19.08.1993

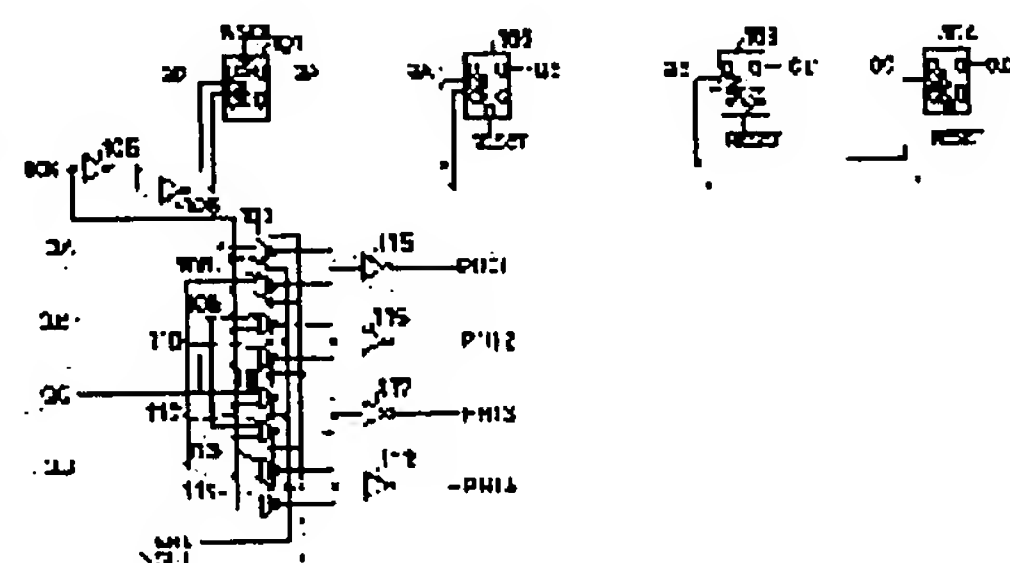
(72)Inventor : NAKAMURA TADAHIRO

## (54) CLOCK GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To provide a clock generating circuit which can operate at a high speed and at a low level of voltage.

CONSTITUTION: A shift register, e.g. a 4-bit unidirectional shift register connected vertically transmits the signals QA, QB, QC and QD. These signals are selected by a shifting direction switch signal SHL and a controllable clocked NAND gate. So that the output shifting directions of divided clocks PHI1-PHI4 can be switched from a basic clock XCK.



## LEGAL STATUS

[Date of request for examination]

18.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2923175

[Date of registration]

30.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The clock-generation circuit characterized by to have the shift register which consists of two or more flip-flops by which vertical connection was made, and a clock dividing means output the dividing clock with which it has two or more output terminals, and two or more phases differ based on the parallel output from said shift register from two or more of said output terminals, and to constitute said clock dividing means based on the selection signal from the outside about two or more of said output terminals in the shift direction of a dividing clock so that it may be bidirectionally selectable.

[Claim 2] Said clock dividing means is a clock generation circuit according to claim 1 characterized by having two or more clocked gates, connecting to each of an output terminal the clocked gate whose output from a different flip-flop is one pair inputted, respectively, and choosing one of the clocked gates according to said selection signal.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the clock generation circuit using a shift register.

[0002]

[Description of the Prior Art] Conventionally, the shift register is used abundantly as a means to generate two or more clocks with which phases differ.

[0003] Drawing 3 a, and 3b and 3c are examples of the conventional technique, and are the case where 4 dividing clock signal with which four phases differ is generated using a 4-bit shift register. In this case, a shift register prepares a selector circuit between D flip-flop, and switches the input signal of D flip-flop with the shift direction switch signal SHL, and switches reset-signal RESET and the set signal NSET.

[0004] D flip-flop 302 outputs Signal QA and Signal NQA. D flip-flop 304 outputs Signal QB and Signal NQB. D flip-flop 306 outputs Signal QC and Signal NQC. D flip-flop 308 outputs Signals QD and NQD.

[0005] Signal NQD, the shift direction switch signal SHL, Signal NQB, and the reversal signal NSHL of the shift direction switch signal are connected to the input of the AND-NOR gate 301. The output of the AND-NOR gate 301 is connected to D input of D flip-flop 302.

[0006] Signal NQA, the shift direction switch signal SHL, Signal NQC, and the reversal signal NSHL of the shift direction switch signal are connected to the input of the AND-NOR gate 303. The output of the AND-NOR gate 303 is connected to D input of D flip-flop 304.

[0007] Signal NQB, the shift direction switch signal SHL, Signal NQD, and the reversal signal NSHL of the shift direction switch signal are connected to the input of the AND-NOR gate 305. The output of the AND-NOR gate 305 is connected to D input of D flip-flop 306.

[0008] Signal NQC, the shift direction switch signal SHL, Signal NQA, and the reversal signal NSHL of the shift direction switch signal are connected to the input of the AND-NOR gate 307. The output of the AND-NOR gate 307 is connected to D input of D flip-flop 308.

[0009] The basic clock XCK is connected to the input of an inverter 309. The output of an inverter 309 is connected to the input of an inverter 310. The output of an inverter 309 is connected to CK input of all D flip-flop. The output of an inverter 310 is connected to the reversal input of CK of all D flip-flop.

[0010] The basic clock XCK and Signal QA are connected to the input of NAND gate 311. The output of NAND gate 311 is connected to the input of an inverter 312. An inverter 312 outputs the dividing clock PHI1.

[0011] The basic clock XCK and Signal QB are connected to the input of NAND gate 313. The output of NAND gate 313 is connected to the input of an inverter 314. An inverter 314 outputs the dividing clock PHI2.

[0012] The basic clock XCK and Signal QC are connected to the input of NAND gate 315. The output of NAND gate 315 is connected to the input of an inverter 316. An inverter 316 outputs the dividing clock PHI3.

[0013] The basic clock XCK and Signal QD are connected to the input of NAND gate 317. The output of NAND gate 317 is connected to the input of an inverter 318. An inverter 318 outputs the dividing clock PHI4.

[0014] The set signal NSET and the shift direction switch signal SHL are connected to the input of NAND gate 320. NAND gate 320 outputs Signal NSA. The reversal signal NSHL of Signal NSET and the shift direction switch signal is connected to the input of NAND gate 321. NAND gate 321 outputs Signal NSD.

[0015] Reset-signal RESET and the shift direction switch signal SHL are connected to the input of NAND gate 323. NAND gate 323 outputs Signal RA. The reversal signal NSHL of Signal RESET and the shift

direction switch signal is connected to the input of NAND gate 324. NAND gate 324 outputs Signal RD. [0016] In the case of shift direction switch signal SHL="H", the set signal NSET Since it becomes Signal NSA and reset-signal RESET serves as Signal RD, only D flip-flop A302 is set and it is reset except it. After that the output of a shift register Since it is outputted in order of the signal QA-> signal QB-> signal QC-> signal QD, NAND of the each output and basic clock XCK is taken, and a dividing clock is generated in order of the dividing clock PHI1 -> dividing clock PHI2 -> dividing clock PHI3 -> dividing clock PHI4. Moreover, in shift direction switch signal SHL= "L", it becomes Signal NSD and Signal RA, respectively, and, as for the above-mentioned set signal NSET and reset-signal RESET, only D flip-flop D308 is set, and since a shift register is outputted by the selector circuit in order of the signal QD-> signal QC-> signal QB-> signal QA, a dividing clock generates it in order of the dividing clock PHI4 -> dividing clock PHI3 -> dividing clock PHI2 -> dividing clock PHI1.

[0017] Drawing 4 a, and 4b and 4c are flow charts which show circuit actuation of drawing 3 a and 3b, and the timing of the basic clock XCK, the set signal NSET, reset-signal RESET, Signals QA, QB, QC, and QD, and the dividing clocks PHI1, PHI2, PHI3, and PHI4 is shown.

[0018]

[Problem(s) to be Solved by the Invention] In a Prior art, since the signal since the shift direction is switched for the selector with the shift direction switch signal by having a selector circuit between D flip-flop, after passing along the selector circuit of the output of the preceding paragraph in the D flip-flop of a shift register turned into an input signal when operating a shift register in both directions, the time delay was long, and when especially high-speed operation and low-battery actuation was carried out, there was a case where an input signal would not shift delay and data to normal timing to a basic clock.

[0019] This invention aims at offering the clock generation circuit which enables high-speed operation and low-battery actuation.

[0020]

[Means for Solving the Problem] The clock-generation circuit of this invention is equipped with the shift register which consists of two or more flip-flops by which vertical connection was made, and a clock dividing means output the dividing clock with which it has two or more output terminals, and two or more phases differ based on the parallel output from said shift register from two or more of said output terminals, and it is characterized by to constitute said clock dividing means based on the selection signal from the outside, about two or more of said output terminals, in the shift direction of a dividing clock so that it may be bidirectionally selectable.

[0021] Said clock dividing means is equipped with two or more clocked gates, the clocked gate whose output from a different flip-flop is one pair inputted, respectively may be connected to each of an output terminal, and one of the clocked gates may be chosen as it according to said selection signal.

[0022]

[Function] For the configuration in which the output of a flip-flop turns into an input of the flip-flop of the direct next step, there are few time delays and actuation of them is attained also in the time of high-speed operation or low-battery actuation. A shift register outputs a signal to parallel. A clock dividing means outputs the dividing clock with which two or more phases differ from two or more output terminals based on the parallel output from a shift register. Moreover, a dividing clock means makes the shift direction of a dividing clock selectable bidirectionally about two or more output terminals based on the selection signal from the outside.

[0023]

[Example] Drawing 1 is one example of this invention, and is the circuit using clocked one NAND as the clocked gate.

[0024] D flip-flop 101 outputs Signal QA. Signal QA is connected to D input of D flip-flop 102. D flip-flop 102 outputs Signal QB. Signal QB is connected to D input of D flip-flop 103. D flip-flop 103 outputs Signal QC. Signal QC is connected to D input of D flip-flop 104. D flip-flop 104 outputs Signal QD. Signal QD is connected to D input of D flip-flop 101.

[0025] The basic clock XCK is connected to the inverter 105. The output of an inverter 105 is connected to the input of an inverter 106. The output of an inverter 105 is connected to CK input of all D flip-flop. The output of an inverter 106 is connected to the reversal input of CK of all D flip-flop.

[0026] The basic clock XCK and Signal QA are connected to the input clocked [ NAND / 107 ]. The reversal signal NSHL of the shift direction switch signal and the shift direction switch signal SHL are connected to the Pch side input clocked [ NAND / 107 ] and the Nch side input, respectively. The basic clock XCK and Signal QD are connected to the input clocked [ NAND / 108 ]. The reversal signal NSHL of



the shift direction switch signal SHL and the shift direction switch signal is connected to the Pch side input clocked [ NAND / 108 ] and the Nch side input, respectively. The output clocked [ NANDs / 107 and 108 ] is connected to the input of an inverter 115. An inverter 115 outputs the dividing clock PHI1.

[0027] The basic clock XCK and Signal QB are connected to the input clocked [ NAND / 109 ]. The reversal signal NSHL of the shift direction switch signal and the shift direction switch signal SHL are connected to the Pch side input clocked [ NAND / 109 ] and the Nch side input, respectively. The basic clock XCK and Signal QC are connected to the input clocked [ NAND / 110 ]. The reversal signal NSHL of the shift direction switch signal SHL and the shift direction switch signal is connected to the Pch side input clocked [ NAND / 110 ] and the Nch side input, respectively. The output clocked [ NANDs / 109 and 110 ] is connected to the input of an inverter 116. An inverter 116 outputs the dividing clock PHI2.

[0028] The basic clock XCK and Signal QC are connected to the input clocked [ NAND / 111 ]. The reversal signal NSHL of the shift direction switch signal and the shift direction switch signal SHL are connected to the Pch side input clocked [ NAND / 111 ] and the Nch side input, respectively. The basic clock XCK and Signal QB are connected to the input clocked [ NAND / 112 ]. The reversal signal NSHL of the shift direction switch signal SHL and the shift direction switch signal is connected to the Pch side input clocked [ NAND / 112 ] and the Nch side input, respectively. The output clocked [ NANDs / 101 and 112 ] is connected to the input of an inverter 117. An inverter 117 outputs the dividing clock PHI3.

[0029] The basic clock XCK and Signal QD are connected to the input clocked [ NAND / 113 ]. The reversal signal NSHL of the shift direction switch signal and the shift direction switch signal SHL are connected to the Pch side input clocked [ NAND / 113 ] and the Nch side input, respectively. The basic clock XCK and Signal QA are connected to the input clocked [ NAND / 114 ]. The reversal signal NSHL of the shift direction switch signal SHL and the shift direction switch signal is connected to the Pch side input clocked [ NAND / 114 ] and the Nch side input, respectively. The output clocked [ NANDs / 103 and 114 ] is connected to the input of an inverter 118. An inverter 118 outputs the dividing clock PHI4.

[0030] The shift register in drawing is signal QA-> signal QB-> signal QC-> signal QD-> signal QA about the data which have the width of face of one period of the basic clock XCK synchronizing with falling of the basic clock XCK after being the 4-bit one-way shift register which used four D flip-flop and inputting the set signal NSET and reset-signal RESET. -- It outputs in order. Here, Signals QA, QB, QC, and QD start an input clocked [ NAND ], respectively, the basic clock XCK and AND logic are taken, and the dividing clocks PHI1, PHI2, PHI3, and PHI4 are generated. Here, when the shift direction switch signal SHL is "H", since an upper case is chosen and Signals QA, QB, QC, and QD are chosen to the dividing clocks PHI1, PHI2, PHI3, and PHI4, clocked one NAND is outputted in order of the dividing clock PHI1 -> dividing clock PHI2 -> dividing clock PHI3 -> dividing clock PHI4. Moreover, since clocked one NAND of the lower berth is chosen and Signals QD, QC, QB, and QA are chosen to the dividing clocks PHI1, PHI2, PHI3, and PHI4 when the shift direction switch signal SHL is "L", it is outputted in order of the dividing clock PHI4 -> dividing clock PHI3 -> dividing clock PHI2 -> dividing clock PHI1. As mentioned above, although the shift register itself is an one way, by using clocked one NAND, it is a switch of SHL and can realize the same actuation as a bidirectional shift register.

[0031] Drawing 2 a, 2b, and 2c are timing diagrams which show circuit actuation of drawing 1. When the set signal NSET and reset-signal RESET are inputted into coincidence, Signal QA is set and it synchronizes with falling of the basic clock XCK after that. Data shift in order of the signal QB-> signal QC-> signal QD, and each signal is chosen with clocked one NAND. In the case of shift direction switch signal SHL="H", in order of the dividing clock PHI1 -> dividing clock PHI2 -> dividing clock PHI3 -> dividing clock PHI4 In shift direction switch signal SHL="L", a dividing clock is generated in order of the dividing clock PHI4 -> dividing clock PHI3 -> dividing clock PHI2 -> dividing clock PHI1.

[0032]

[Effect of the Invention] As explained above, the clock generation circuit of this invention The shift register which consists of two or more flip-flops by which vertical connection was made, It has a clock dividing means to output the dividing clock with which it has two or more output terminals, and two or more phases differ based on the parallel output from said shift register from said two or more output terminals. Since said clock dividing means is constituted based on the selection signal from the outside about said two or more output terminals in the shift direction of a dividing clock so that it may be bidirectionally selectable, high-speed operation and the low-battery actuation of it are attained.

[Translation done.]

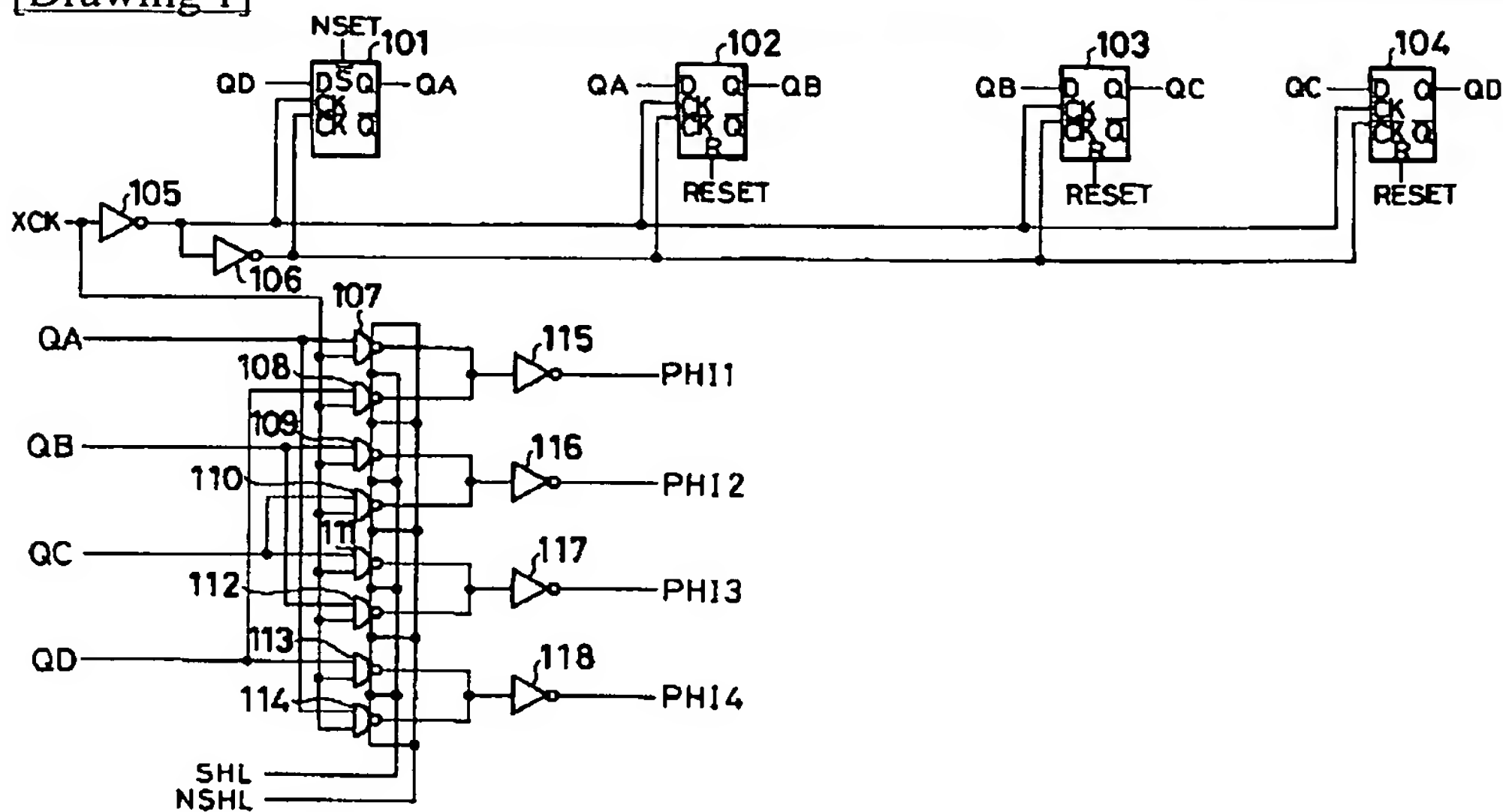
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

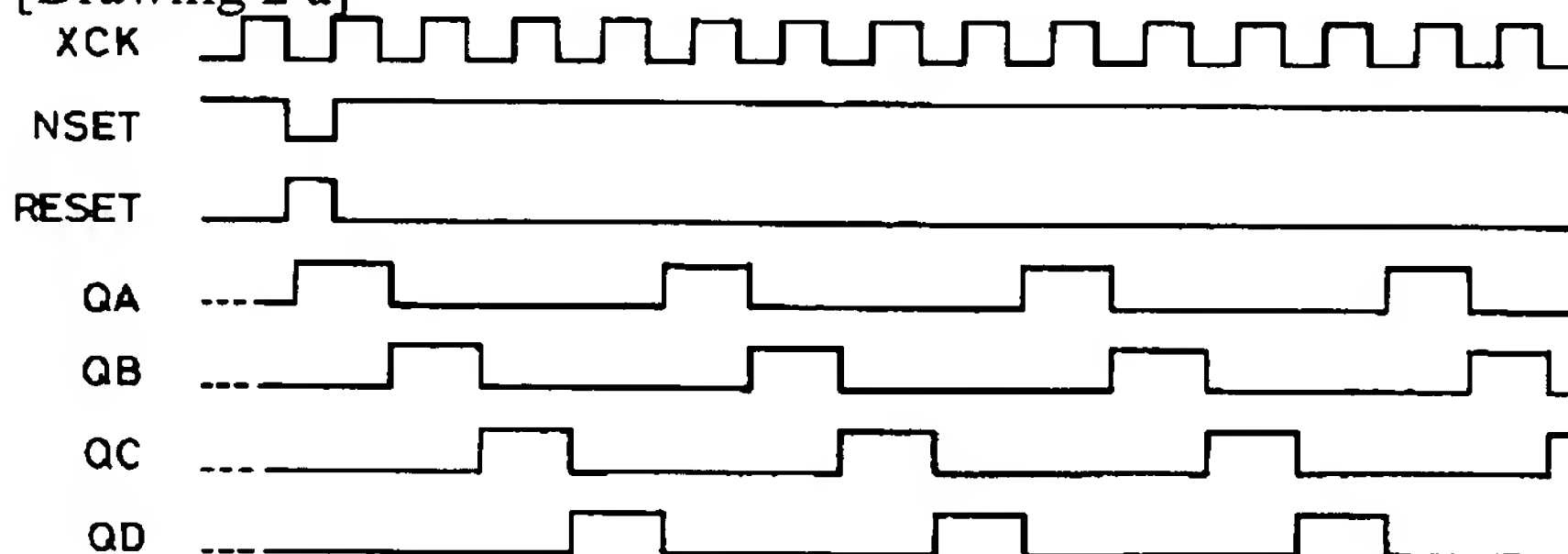
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

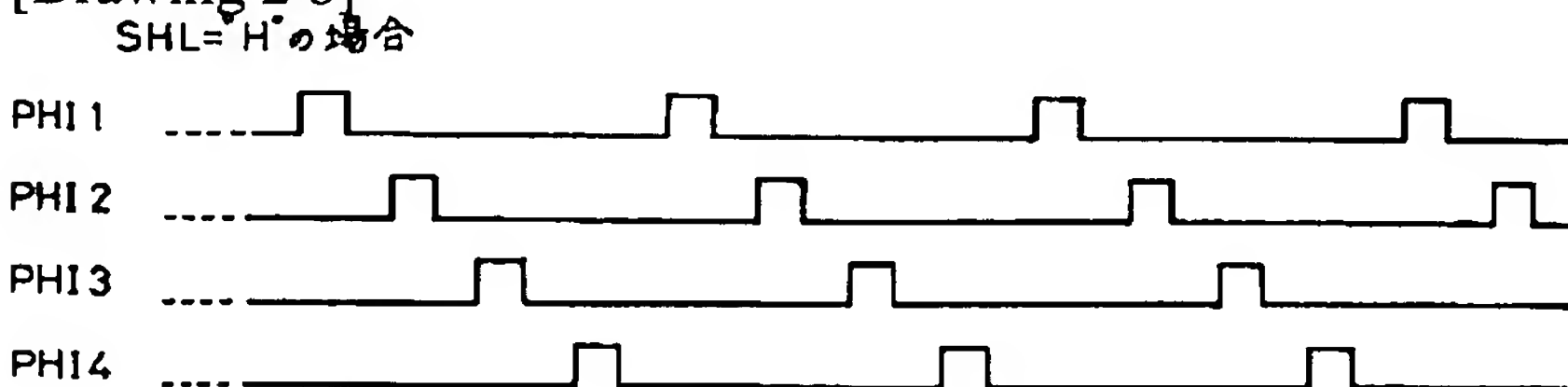
[Drawing 1]



[Drawing 2 a]



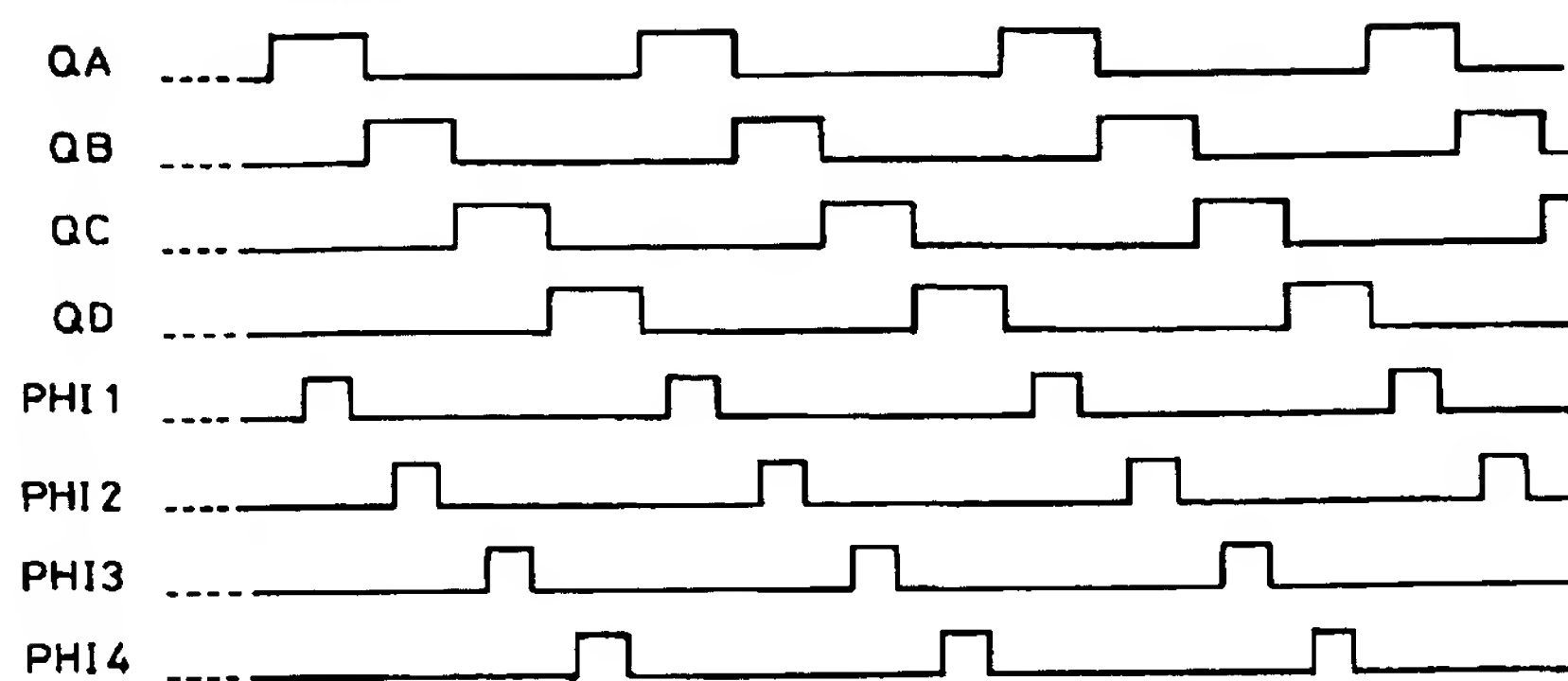
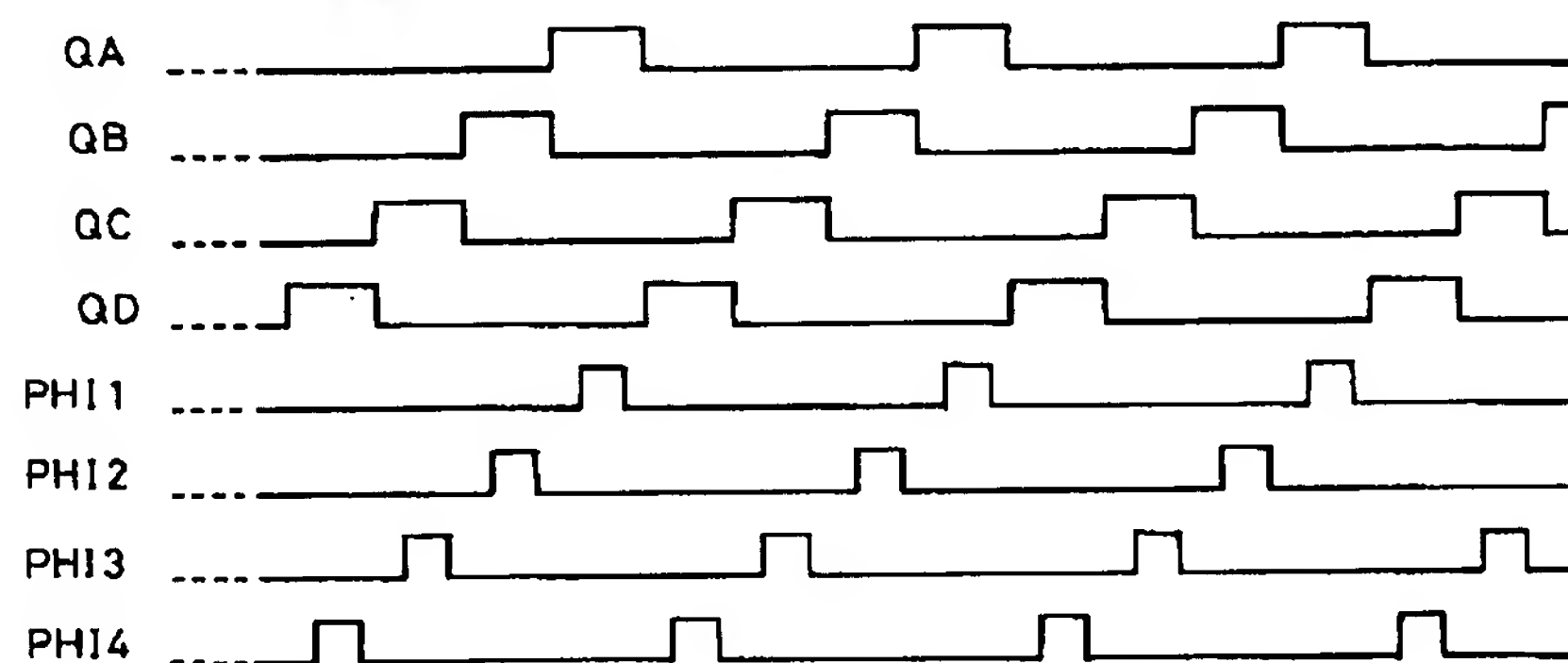
[Drawing 2 b]



[Drawing 3 c]



SHL="H"の場合

[Drawing 4 c]  
SHL="L"の場合

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-56651

(43) 公開日 平成7年(1995)3月3日

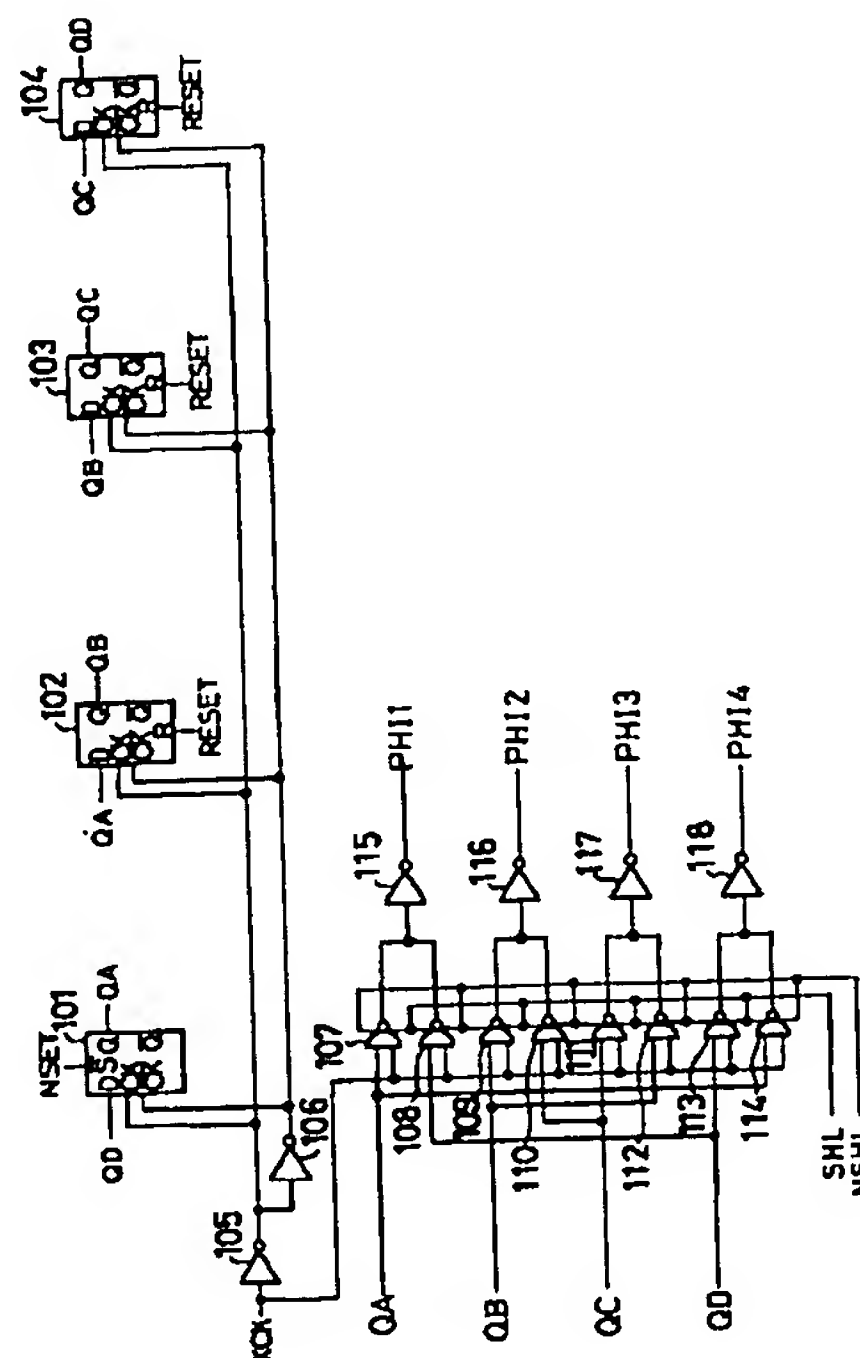
(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/06				
G 1 1 C 19/00	K	8124-5 J		
H 0 3 K 3/64		7165-5 B	G 0 6 F 1/ 04	3 1 1 Z
		7165-5 B		3 1 0 A
審査請求 未請求 請求項の数 2 O L (全 7 頁)				
(21) 出願番号	特願平5-205021			
(22) 出願日	平成5年(1993)8月19日			
(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号			
(72) 発明者	中村 渡弘 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内			
(74) 代理人	弁理士 川口 義雄 (外1名)			

(54) 【発明の名称】 クロック発生回路

(57) 【要約】 (修正有)

【目的】 高速動作や低電圧動作を可能とするクロック発生回路を提供する。

【構成】 縦方向に接続されたシフトレジスタ、例えば4ビット片方向シフトレジスタが信号Q A, Q B, Q C, Q Dを出力する。シフト方向切り換え信号S H Lと制御可能なクロックドN A N Dゲートにより、信号Q A, Q B, Q C, Q Dを選択することにより、基本クロックX C Kから、分周クロックP H I 1~4の出力のシフト方向を切り換えることが可能である。



## 【特許請求の範囲】

【請求項 1】 縦接続された複数のフリップ・フロップよりなるシフトレジスタと、複数の出力端子を備え前記シフトレジスタからのパラレル出力に基づき複数の位相の異なる分周クロックを前記複数の出力端子より出力するクロック分周手段とを備え、前記クロック分周手段が、前記複数の出力端子に関し分周クロックのシフト方向を外部からの選択信号に基づき双方向に選択可能なように構成されていることを特徴とするクロック発生回路。

【請求項 2】 前記クロック分周手段は、複数のクロックド・ゲートを備え、出力端子の夫々には、異なるフリップ・フロップからの出力が夫々入力される 1 対のクロックド・ゲートが接続され、前記選択信号に従い、いずれか一方のクロックド・ゲートが選択されることを特徴とする請求項 1 に記載のクロック発生回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、シフトレジスタを利用するクロック発生回路に関する。

## 【0002】

【従来の技術】 従来より、シフトレジスタは位相の異なる複数のクロックを発生する手段として多用されている。

【0003】 図 3 a、3 b、および 3 c は、従来技術の一例であり、4 つの位相の異なる 4 分周クロック信号を 4 ビットのシフトレジスタを用いて発生させる場合である。この場合シフトレジスタは、D フリップ・フロップ間にセレクト回路を設け、シフト方向切り換え信号 S H L により、D フリップ・フロップの入力信号を切り換え、また、リセット信号 R E S E T、セット信号 N S E T を切り換える。

【0004】 D フリップ・フロップ 3 0 2 は信号 Q A および信号 N Q A を出力する。D フリップ・フロップ 3 0 4 は信号 Q B および信号 N Q B を出力する。D フリップ・フロップ 3 0 6 は信号 Q C および信号 N Q C を出力する。D フリップ・フロップ 3 0 8 は信号 Q D および N Q D を出力する。

【0005】 AND-NOR ゲート 3 0 1 の入力には、信号 N Q D、シフト方向切り換え信号 S H L、信号 N Q B、および、シフト方向切り換え信号の反転信号 N S H L が接続されている。AND-NOR ゲート 3 0 1 の出力は D フリップ・フロップ 3 0 2 の D 入力に接続されている。

【0006】 AND-NOR ゲート 3 0 3 の入力には、信号 N Q A、シフト方向切り換え信号 S H L、信号 N Q C、および、シフト方向切り換え信号の反転信号 N S H L が接続されている。AND-NOR ゲート 3 0 3 の出力は D フリップ・フロップ 3 0 4 の D 入力に接続されている。

【0007】 AND-NOR ゲート 3 0 5 の入力には、信号 N Q B、シフト方向切り換え信号 S H L、信号 N Q D、および、シフト方向切り換え信号の反転信号 N S H L が接続されている。AND-NOR ゲート 3 0 5 の出力は D フリップ・フロップ 3 0 6 の D 入力に接続されている。

【0008】 AND-NOR ゲート 3 0 7 の入力には、信号 N Q C、シフト方向切り換え信号 S H L、信号 N Q A、および、シフト方向切り換え信号の反転信号 N S H L が接続されている。AND-NOR ゲート 3 0 7 の出力は D フリップ・フロップ 3 0 8 の D 入力に接続されている。

【0009】 基本クロック X C K はインバータ 3 0 9 の入力に接続されている。インバータ 3 0 9 の出力はインバータ 3 1 0 の入力に接続されている。インバータ 3 0 9 の出力は全 D フリップ・フロップの C K 入力に接続されている。インバータ 3 1 0 の出力は全 D フリップ・フロップの C K の反転入力に接続されている。

【0010】 基本クロック X C K および信号 Q A は N A N D ゲート 3 1 1 の入力に接続されている。N A N D ゲート 3 1 1 の出力はインバータ 3 1 2 の入力に接続されている。インバータ 3 1 2 は分周クロック P H I 1 を出力する。

【0011】 基本クロック X C K および信号 Q B は N A N D ゲート 3 1 3 の入力に接続されている。N A N D ゲート 3 1 3 の出力はインバータ 3 1 4 の入力に接続されている。インバータ 3 1 4 は分周クロック P H I 2 を出力する。

【0012】 基本クロック X C K および信号 Q C は N A N D ゲート 3 1 5 の入力に接続されている。N A N D ゲート 3 1 5 の出力はインバータ 3 1 6 の入力に接続されている。インバータ 3 1 6 は分周クロック P H I 3 を出力する。

【0013】 基本クロック X C K および信号 Q D は N A N D ゲート 3 1 7 の入力に接続されている。N A N D ゲート 3 1 7 の出力はインバータ 3 1 8 の入力に接続されている。インバータ 3 1 8 は分周クロック P H I 4 を出力する。

【0014】 セット信号 N S E T およびシフト方向切り換え信号 S H L は N A N D ゲート 3 2 0 の入力に接続されている。N A N D ゲート 3 2 0 は信号 N S A を出力する。信号 N S E T およびシフト方向切り換え信号の反転信号 N S H L は N A N D ゲート 3 2 1 の入力に接続されている。N A N D ゲート 3 2 1 は信号 N S D を出力する。

【0015】 リセット信号 R E S E T およびシフト方向切り換え信号 S H L は N A N D ゲート 3 2 3 の入力に接続されている。N A N D ゲート 3 2 3 は信号 R A を出力する。信号 R E S E T およびシフト方向切り換え信号の反転信号 N S H L は N A N D ゲート 3 2 4 の入力に接続

されている。NANDゲート324は信号RDを出力する。

【0016】シフト方向切り換え信号SHL="H"の場合、セット信号NSETは、信号NSAとなり、リセット信号RESETは信号RDとなるため、Dフリップ・フロップA302のみセットされ、それ以外はリセットされ、その後シフトレジスタの出力は、信号QA→信号QB→信号QC→信号QDの順に出力されるため、その各出力と基本クロックXCKのNANDをとり、分周クロックPHI1→分周クロックPHI2→分周クロックPHI3→分周クロックPHI4の順で分周クロックが発生される。またシフト方向切り換え信号SHL="L"の場合は、上記セット信号NSET、リセット信号RESETは、それぞれ信号NSD、信号RAとなり、Dフリップ・フロップD308のみセットされ、シフトレジスタは、セクタ回路により、信号QD→信号QC→信号QB→信号QAの順に出力されるため、分周クロックPHI4→分周クロックPHI3→分周クロックPHI2→分周クロックPHI1の順に分周クロックが発生する。

【0017】図4a、4b、および4cは、図3aおよび3bの回路動作を示すフローチャートであり、基本クロックXCK、セット信号NSET、リセット信号RESET、信号QA、QB、QC、QD、分周クロックPHI1、PHI2、PHI3、およびPHI4のタイミングが示されている。

【0018】

【発明が解決しようとする課題】従来の技術では、シフトレジスタを双方向で動作させる場合、Dフリップ・フロップ間にセクタ回路を持ち、そのセクタをシフト方向切り換え信号により、シフト方向を切り換えているため、シフトレジスタのDフリップ・フロップには、前段の出力のセクタ回路を通った後の信号が入力信号となるため、遅延時間が長く、特に高速動作や低電圧動作をさせる場合、入力信号が基本クロックに対し、遅れ、データを正常なタイミングでシフトしなくなる場合があった。

【0019】本発明は、高速動作や低電圧動作を可能とするクロック発生回路を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明のクロック発生回路は、縦接続された複数のフリップ・フロップよりなるシフトレジスタと、複数の出力端子を備え前記シフトレジスタからの平行出力に基づき複数の位相の異なる分周クロックを前記複数の出力端子より出力するクロック分周手段とを備え、前記クロック分周手段が、前記複数の出力端子に関し分周クロックのシフト方向を外部からの選択信号に基づき双方向に選択可能なように構成されていることを特徴とする。

【0021】前記クロック分周手段は、複数のクロック

ド・ゲートを備え、出力端子の夫々には、異なるフリップ・フロップからの出力が夫々入力される1対のクロックド・ゲートが接続され、前記選択信号に従い、いずれか一方のクロックド・ゲートが選択されてもよい。

【0022】

【作用】フリップ・フロップの出力が、直接次段のフリップ・フロップの入力となる構成のため、遅延時間が少なく、高速動作や低電圧動作時でも動作可能となる。シフトレジスタは、平行に信号を出力する。クロック分周手段は、シフトレジスタからの平行出力に基づき、複数の位相の異なる分周クロックを複数の出力端子より出力する。また、分周クロック手段は外部からの選択信号に基づき複数の出力端子に関し分周クロックのシフト方向を双方向に選択可能とする。

【0023】

【実施例】図1は、本発明の1実施例であり、クロックドゲートとしてクロックドNANDを用いた回路である。

【0024】Dフリップ・フロップ101は信号QAを出力する。信号QAはDフリップ・フロップ102のD入力に接続されている。Dフリップ・フロップ102は信号QBを出力する。信号QBはDフリップ・フロップ103のD入力に接続されている。Dフリップ・フロップ103は信号QCを出力する。信号QCはDフリップ・フロップ104のD入力に接続されている。Dフリップ・フロップ104は信号QDを出力する。信号QDはDフリップ・フロップ101のD入力に接続されている。

【0025】基本クロックXCKはインバータ105に接続されている。インバータ105の出力はインバータ106の入力に接続されている。インバータ105の出力は全Dフリップ・フロップのCK入力に接続されている。インバータ106の出力は全Dフリップ・フロップのCKの反転入力に接続されている。

【0026】基本クロックXCKおよび信号QAはクロックドNAND107の入力に接続されている。クロックドNAND107のPch側入力およびNch側入力にはそれぞれシフト方向切り換え信号の反転信号NSHLおよびシフト方向切り換え信号SHLが接続されている。基本クロックXCKおよび信号QDはクロックドNAND108の入力に接続されている。クロックドNAND108のPch側入力およびNch側入力にはそれぞれシフト方向切り換え信号SHLおよびシフト方向切り換え信号の反転信号NSHLが接続されている。クロックドNAND107および108の出力はインバータ115の入力に接続されている。インバータ115は分周クロックPHI1を出力する。

【0027】基本クロックXCKおよび信号QBはクロックドNAND109の入力に接続されている。クロックドNAND109のPch側入力およびNch側入力



にはそれぞれシフト方向切り換え信号の反転信号NSHLおよびシフト方向切り換え信号SHLが接続されている。基本クロックXCKおよび信号QCはクロックドNAND110の入力に接続されている。クロックドNAND110のPch側入力およびNch側入力にはそれぞれシフト方向切り換え信号SHLおよびシフト方向切り換え信号の反転信号NSHLが接続されている。クロックドNAND109および110の出力はインバータ116の入力に接続されている。インバータ116は分周クロックPHI2を出力する。

【0028】基本クロックXCKおよび信号QCはクロックドNAND111の入力に接続されている。クロックドNAND111のPch側入力およびNch側入力にはそれぞれシフト方向切り換え信号の反転信号NSHLおよびシフト方向切り換え信号SHLが接続されている。基本クロックXCKおよび信号QBはクロックドNAND112の入力に接続されている。クロックドNAND112のPch側入力およびNch側入力にはそれぞれシフト方向切り換え信号SHLおよびシフト方向切り換え信号の反転信号NSHLが接続されている。クロックドNAND101および112の出力はインバータ117の入力に接続されている。インバータ117は分周クロックPHI3を出力する。

【0029】基本クロックXCKおよび信号QDはクロックドNAND113の入力に接続されている。クロックドNAND113のPch側入力およびNch側入力にはそれぞれシフト方向切り換え信号の反転信号NSHLおよびシフト方向切り換え信号SHLが接続されている。基本クロックXCKおよび信号QAはクロックドNAND114の入力に接続されている。クロックドNAND114のPch側入力およびNch側入力にはそれぞれシフト方向切り換え信号SHLおよびシフト方向切り換え信号の反転信号NSHLが接続されている。クロックドNAND103および114の出力はインバータ118の入力に接続されている。インバータ118は分周クロックPHI4を出力する。

【0030】図中のシフトレジスタは、Dフリップ・フロップを4個用いた4ビット単方向シフトレジスタであり、セット信号NSET、リセット信号RESETが入力された後、基本クロックXCKの立ち下がりに同期して、基本クロックXCKの1周期の幅をもつデータを信号QA→信号QB→信号QC→信号QD→信号QA…の順に出力する。ここで、信号QA、QB、QC、QDは、それぞれクロックドNANDの入力に入り、基本クロックXCKとAND論理をとり、分周クロックPHI1、PHI2、PHI3、PHI4が発生される。ここで、シフト方向切り換え信号SHLが“H”の場合、クロックドNANDは、上段が選択され分周クロックPHI1、PHI2、PHI3、PHI4に対して信号QA、QB、QC、QDが選択されるため、分周クロック

PHI1→分周クロックPHI2→分周クロックPHI3→分周クロックPHI4の順に出力される。又、シフト方向切り換え信号SHLが“L”の場合には、下段のクロックドNANDが選択されるため、分周クロックPHI1、PHI2、PHI3、PHI4に対し、信号QD、QC、QB、QAが選択されるため、分周クロックPHI4→分周クロックPHI3→分周クロックPHI2→分周クロックPHI1の順に出力される。以上の様にシフトレジスタ自身は、単方向であるが、クロックドNANDを用いることにより、SHLの切り換えで、双方向シフトレジスタと同様の動作を実現できる。

【0031】図2a、2bおよび2cは図1の回路動作を示すタイムチャートである。セット信号NSETおよびリセット信号RESETが同時に入力された時、信号QAがセットされ、その後、基本クロックXCKの立ち下がりに同期して、信号QB→信号QC→信号QDの順にデータがシフトし、それぞれの信号をクロックドNANDで選択し、シフト方向切り換え信号SHL=“H”の場合、分周クロックPHI1→分周クロックPHI2→分周クロックPHI3→分周クロックPHI4の順に、シフト方向切り換え信号SHL=“L”の場合、分周クロックPHI4→分周クロックPHI3→分周クロックPHI2→分周クロックPHI1の順に分周クロックが発生する。

【0032】

【発明の効果】以上説明したように本発明のクロック発生回路は、縦接続された複数のフリップ・フロップよりなるシフトレジスタと、複数の出力端子を備え前記シフトレジスタからのパラレル出力に基づき複数の位相の異なる分周クロックを前記複数の出力端子より出力するクロック分周手段とを備え、前記クロック分周手段が、前記複数の出力端子に関し分周クロックのシフト方向を外部からの選択信号に基づき双方向に選択可能なように構成されているので、高速動作や低電圧動作が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例によるクロック発生回路の回路図である。

【図2a】図1の回路動作を示すタイムチャートである。

【図2b】図1の回路動作を示すタイムチャートである。

【図2c】図1の回路動作を示すタイムチャートである。

【図3a】従来技術によるクロック発生回路の回路図である。

【図3b】従来技術によるクロック発生回路の回路図である。

【図3c】従来技術によるクロック発生回路の回路図である。

【図4 a】図3 a および 3 b の回路動作を示すタイムチャートである。

【図4 b】図3 a および 3 b の回路動作を示すタイムチャートである。

【図4 c】図3 a および 3 b の回路動作を示すタイムチャート\*

\*チャートである。

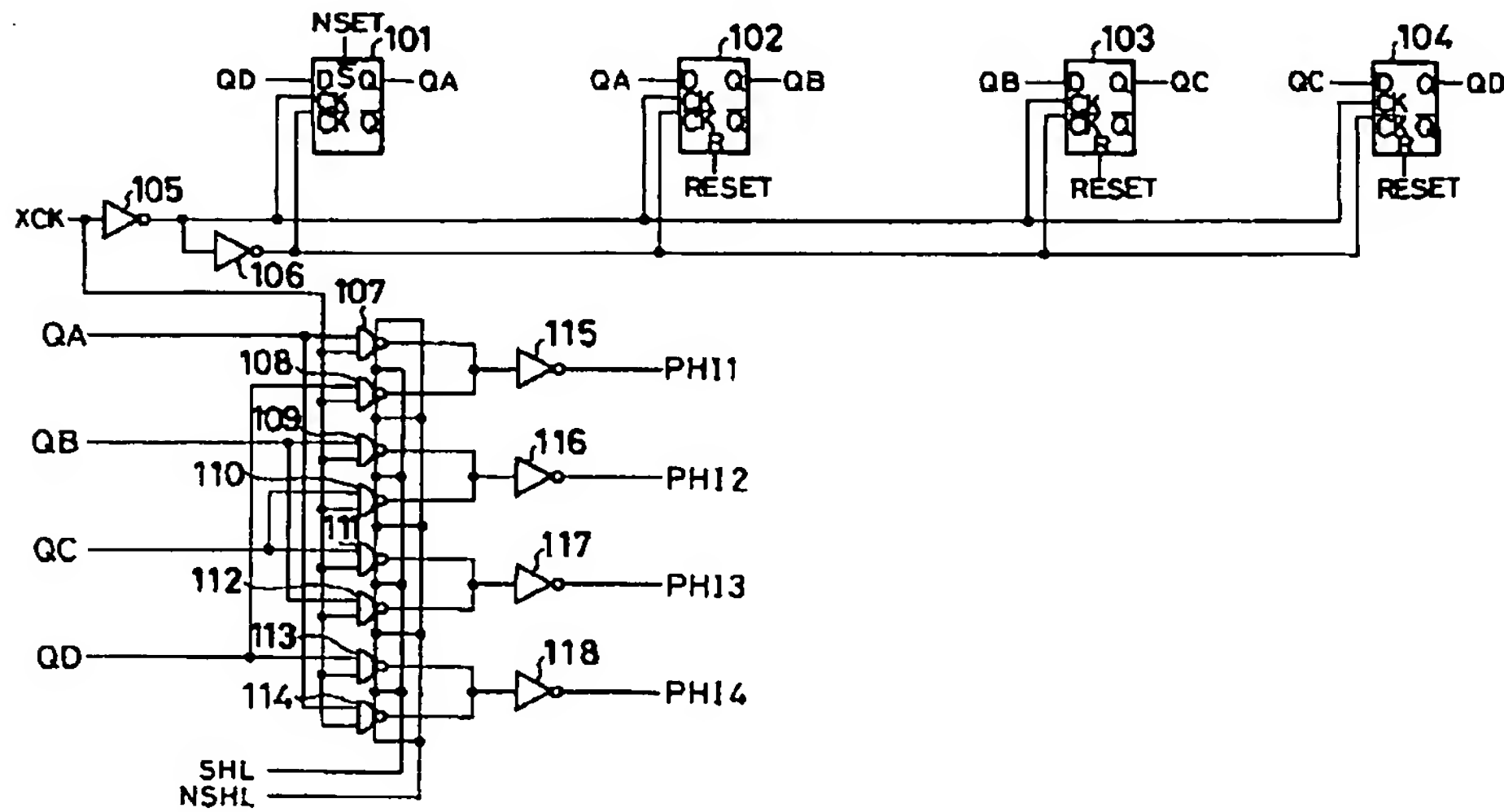
【符号の説明】

101～104 Dフリップ・フロップ

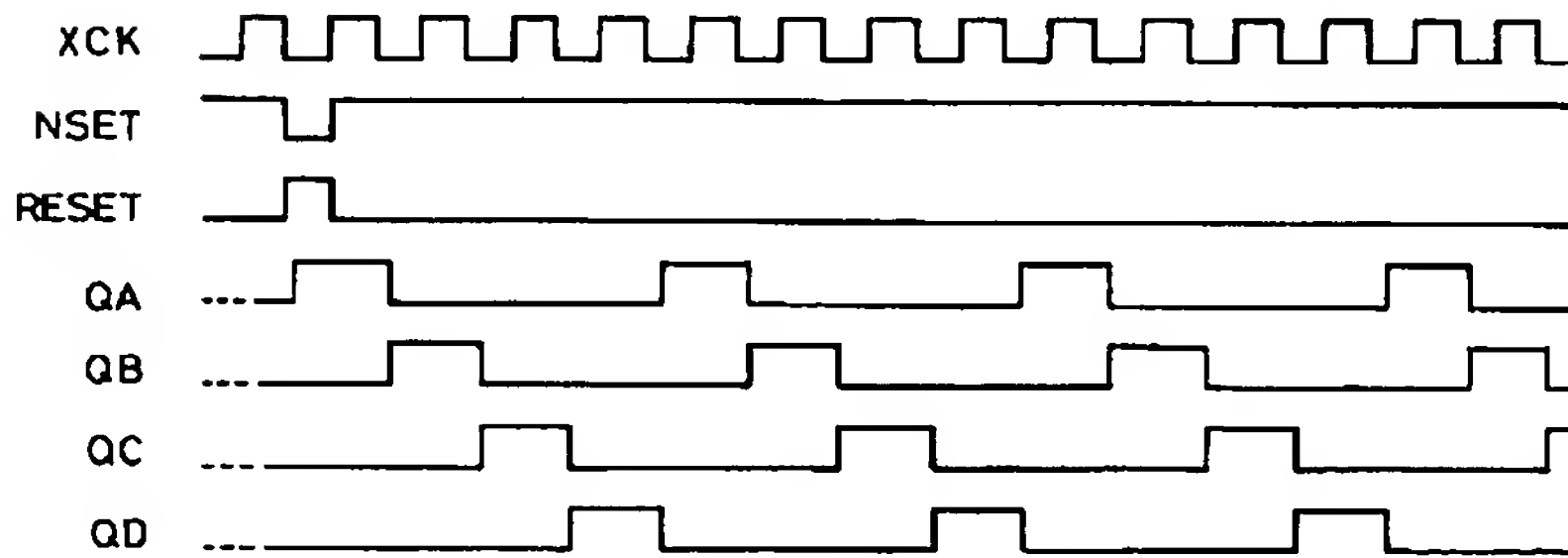
105、106、115～118 インバータ

107～114 クロックドNAND

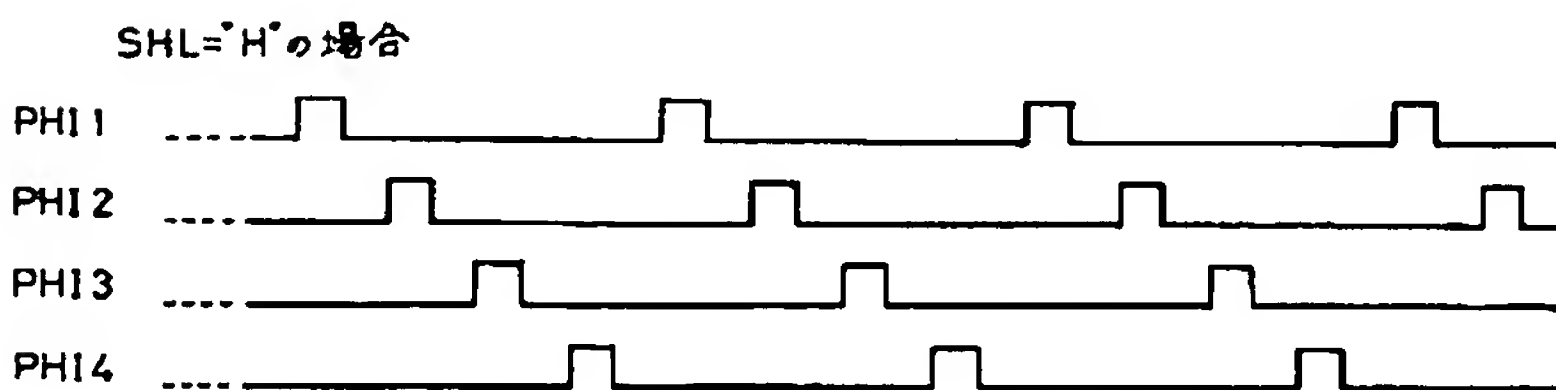
【図1】



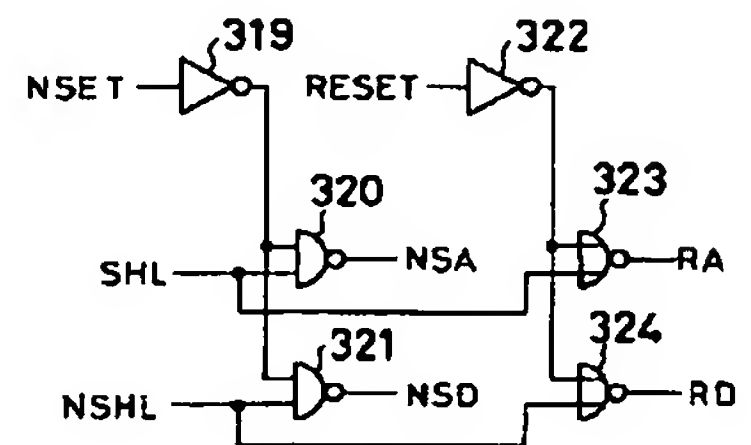
【図2 a】



【図2 b】

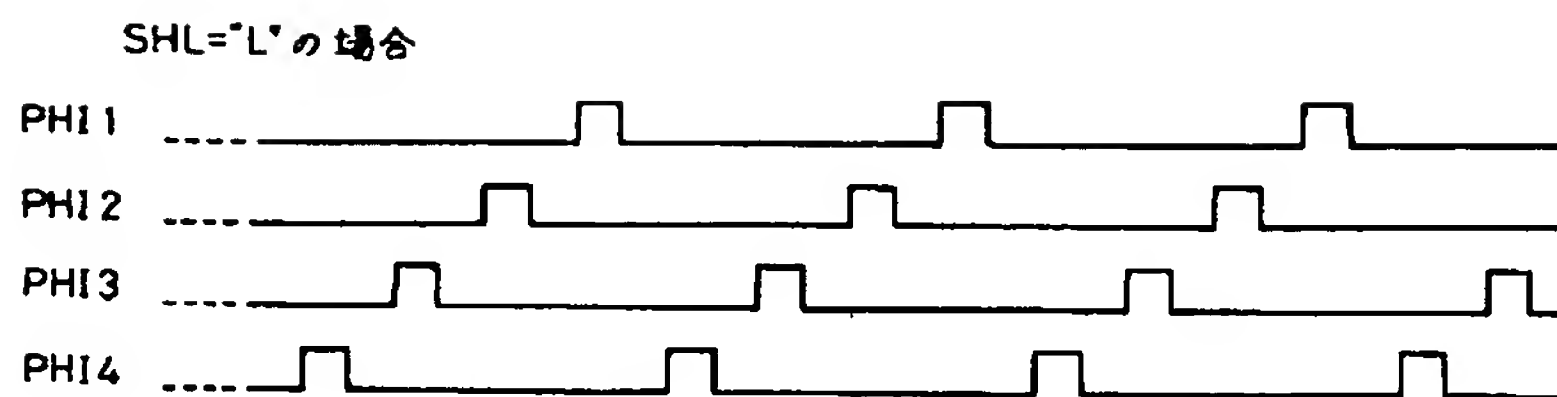


【図3 c】

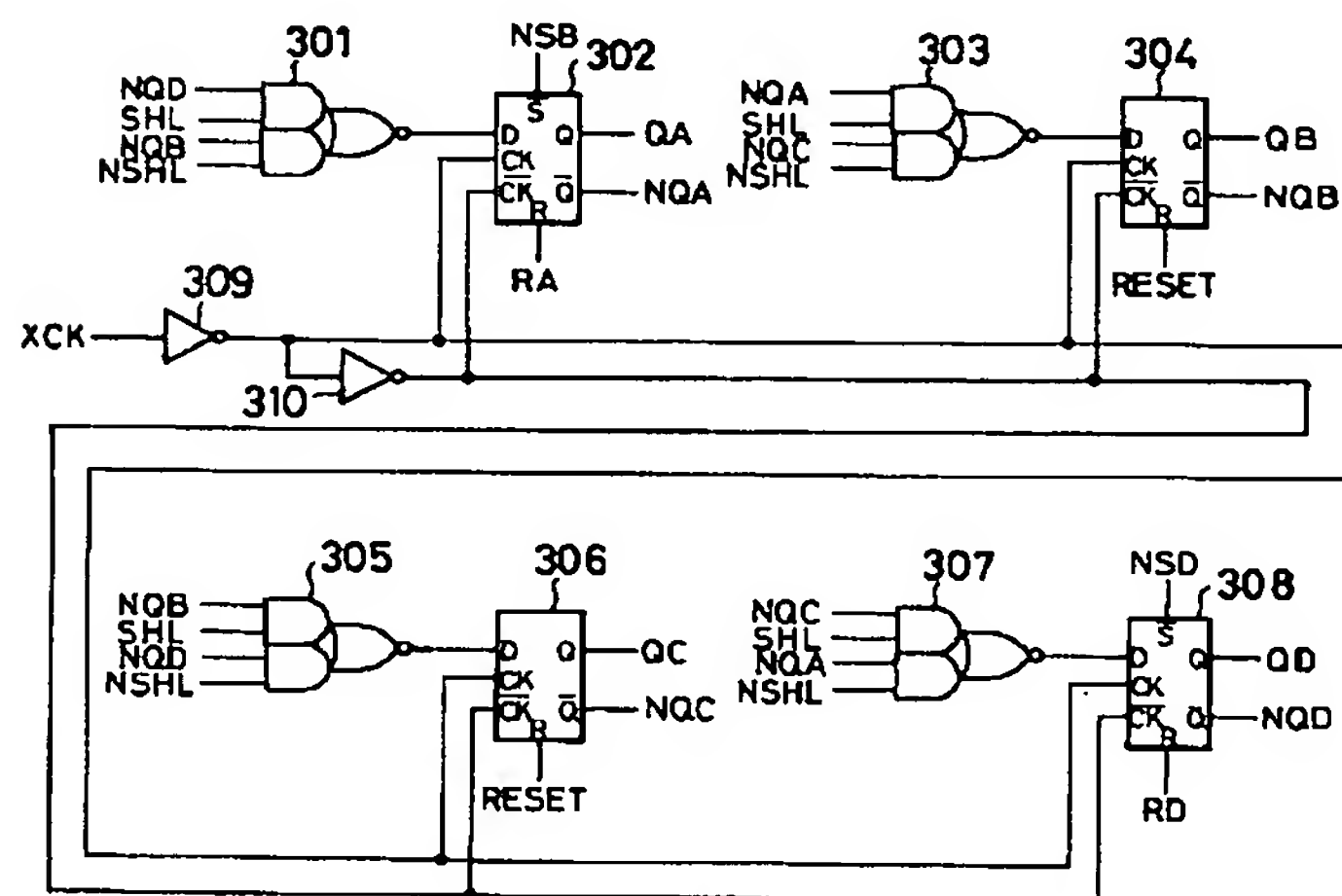




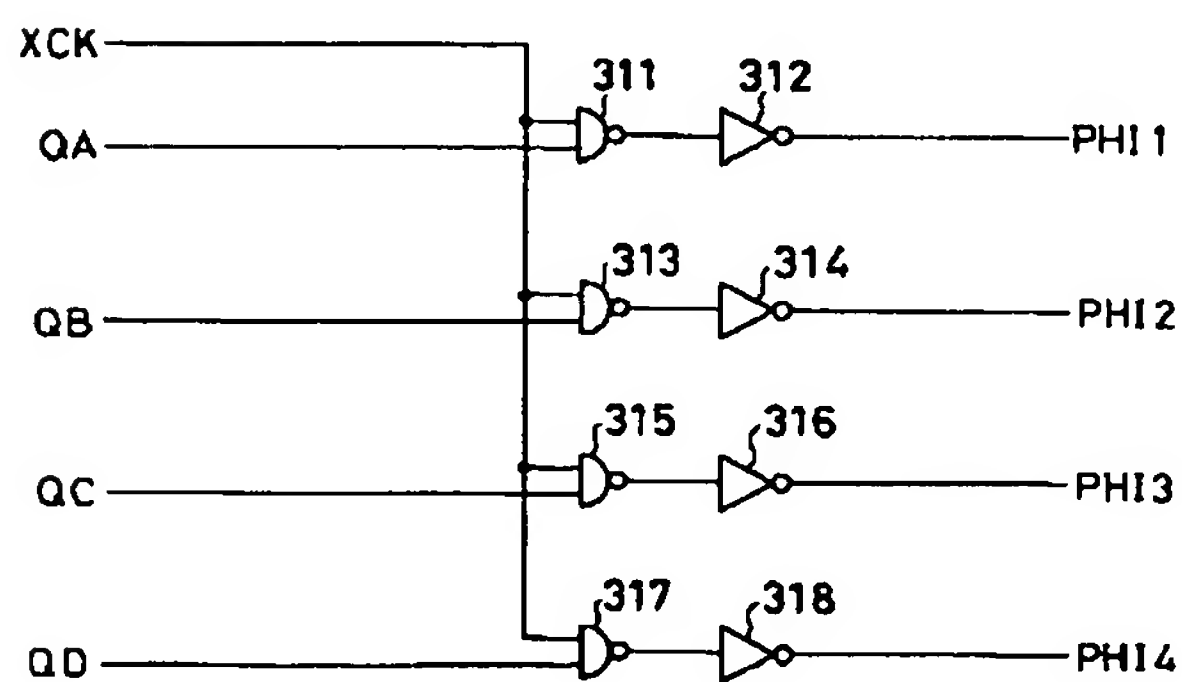
【図2c】



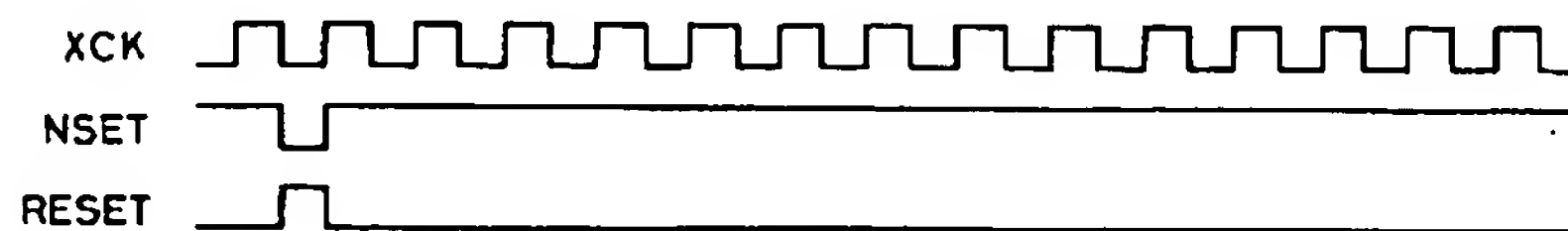
【図3a】



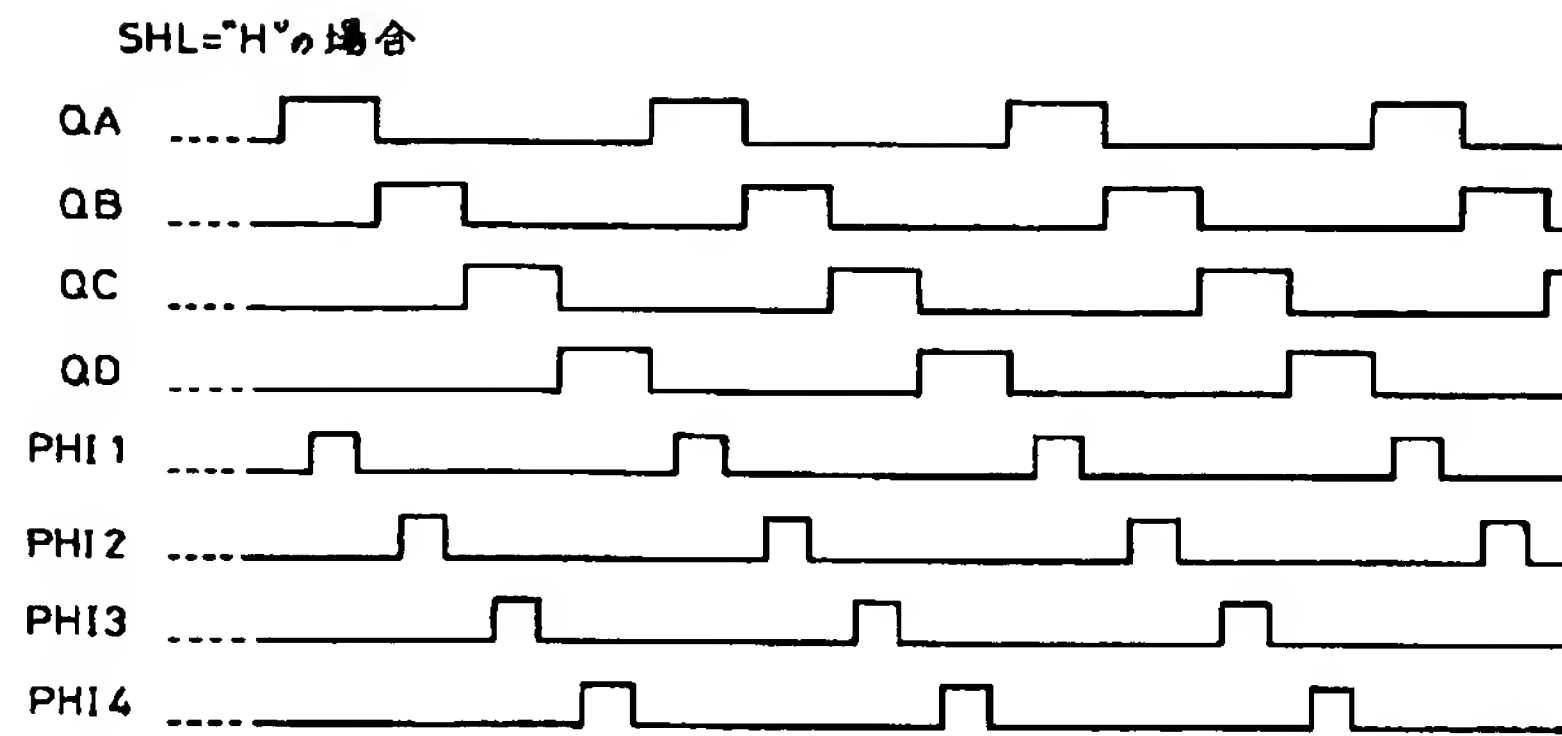
【図3b】



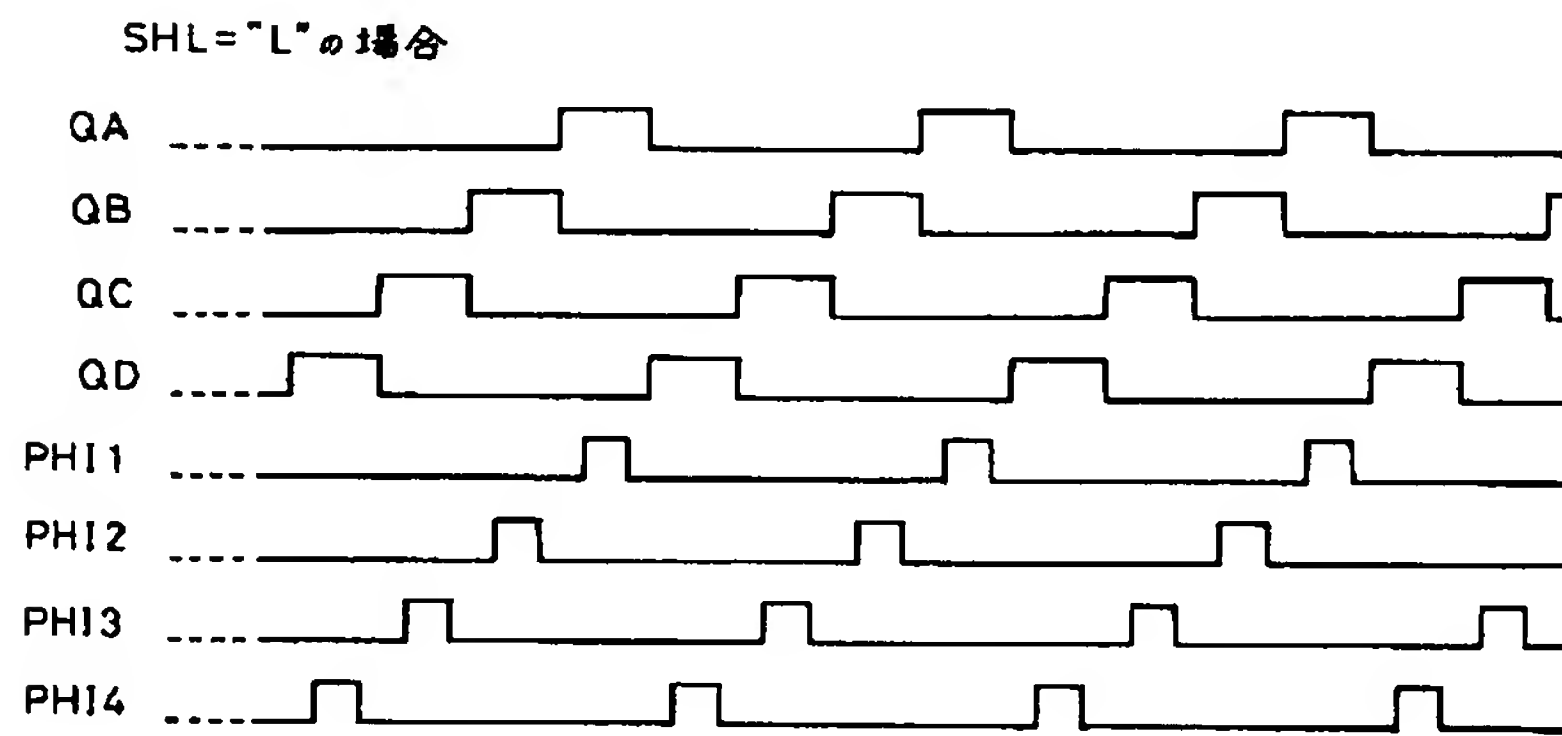
【図4a】



【図 4 b】



【図 4 c】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**